

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 02 224.4

Anmeldetag: 20. Januar 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Integrierter Speicher

IPC: G 11 C 11/4097

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 9. Januar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

W. Müller

Beschreibung

Integrierter Speicher

5 Die vorliegende Erfindung betrifft einen integrierten Speicher mit einem Speicherzellenfeld, das Wortleitungen zur Auswahl von Speicherzellen und Bitleitungen zum Auslesen oder Schreiben von Datensignalen der Speicherzellen aufweist, sowie mit einem Leseverstärker und einer Vorladeschaltung. Die
10 Bitleitungen sind in Bitleitungspaaren organisiert, wobei die Bitleitungen eines der Bitleitungspaare sich an einer Verkreuzungsstelle überkreuzen und sonst im wesentlichen parallel zueinander verlaufen. Der Leseverstärker ist mit einem der Bitleitungspaare an einem Ende dieses Bitleitungspaares
15 verbunden.

Ein integrierter Speicher etwa in Form eines DRAMs (Dynamic Random Access Memory) weist im allgemeinen ein Speicherzellenfeld auf, das Wortleitungen und Bitleitungen umfaßt, wobei
20 die Speicherzellen jeweils in Kreuzungspunkten der Wortleitungen und Bitleitungen angeordnet sind. Die üblicherweise in integrierten dynamischen Speichern mit wahlfreiem Zugriff verwendeten Speicherzellen weisen im wesentlichen eine Speicherkapazität und einen Auswahltransistor auf. Die Speicherkapazitäten der Speicherzellen sind jeweils über den Auswahltransistor, dessen Steuereingang mit einer der Wortleitungen verbunden ist, mit einer der Bitleitungen verbunden, über die ein Datensignal ausgelesen bzw. eingeschrieben wird.

30 Bei einem Speicherzugriff wird zunächst eine Wortleitung aktiviert. Dadurch werden die entlang einer Wortleitung angeordneten Speicherzellen jeweils über den betreffenden Auswahltransistor mit einer Bitleitung leitend verschaltet. Dabei teilt sich die gespeicherte Ladung entsprechend der Speicherzellenkapazität und Bitleitungskapazität auf. Entsprechend dem Verhältnis dieser beiden Kapazitäten (sogenanntes Transfer-Ratio) führt dies zu einer Auslenkung der Bitlei-
35

tungsspannung. Der sich an einem Ende der Bitleitung befindende Leseverstärker vergleicht diese Spannung mit der konstanten Spannung auf der zugehörigen komplementären Bitleitung und verstärkt die relativ geringe Potentialdifferenz zwischen der Bitleitung und der komplementären Bitleitung, bis die Bitleitung den vollen Signalpegel für eine gespeicherte logische 1, die beispielsweise einem positiven Versorgungspotential entspricht, oder den Signalpegel für eine logische 0, die beispielsweise einem Bezugspotential entspricht, erreicht hat. Gleichzeitig werden auf der zugehörigen komplementären Bitleitung die inversen Signalpegel erreicht.

Um eine möglichst kompakte Anordnung des Speicherzellenfeldes zu erreichen, sind im allgemeinen möglichst lange Bitleitungen anzustreben. Dies führt jedoch zu entsprechend hohen Bitleitungskapazitäten. Die Folge davon ist einerseits eine Reduktion des vom Leseverstärker zu detektierenden Speicherzellen-Signals durch Verschlechterung des Transfer-Ratios und andererseits eine erhöhte Kopplung zwischen benachbarten Bitleitungen mit dadurch verursachtem störendem Übersprechen.

Zur Reduzierung der Kopplung zwischen benachbarten Bitleitungen sind die Bitleitungen eines Speichers oftmals mit einem sogenannten Bitleitungs-Twist versehen, dessen Ziel es ist, die Bitleitungskopplung zu minimieren. Die Bitleitungen eines solchen Speichers sind in Bitleitungspaaren organisiert, wobei die Bitleitungen eines Bitleitungspaares sich an einer Verkreuzungsstelle, dem Bitleitungs-Twist, überkreuzen und ansonsten im wesentlichen parallel zueinander verlaufen. Das Vorsehen eines Bitleitungs-Twists ist mit dem Nachteil behaftet, daß durch die Verkreuzung von Bitleitungen erhöhte Serienwiderstände auf der jeweiligen Bitleitung auftreten.

Nach dem Zugriff auf das Speicherzellenfeld werden die zuvor ausgewählten Wortleitungen deaktiviert. Anschließend werden die Bitleitungen möglichst schnell in den Vorladezustand (so-

genannter Precharge-Zustand) versetzt, von dem ausgehend ein erneuter Speicherzugriff erfolgen kann. Dazu werden je Bitleitungspaar die jeweilige Bitleitung und zugehörige komplementäre Bitleitung kurzgeschlossen und zusätzlich hochohmig mit einem Versorgungsspannungsnetz des Speichers verbunden. Zum Vorladen der Bitleitungen ist im allgemeinen eine Vorladeschaltung vorgesehen, die sich in der Nähe des zugeordneten Leseverstärkers am Rand des Speicherzellenfeldes befindet. Die einem Bitleitungspaar zugeordnete Vorladeschaltung und der zugeordnete Leseverstärker sind an einem Ende dieses Bitleitungspaares am Rande des Speicherzellenfeldes an dieses Bitleitungspaar angeschlossen. Dies hat zur Folge, daß der Vorladevorgang eines Bitleitungspaares mit einer relativ hohen RC-Konstante behaftet ist, bedingt durch die relativ hohen Serienwiderstände und Bitleitungskapazitäten der mit einem Bitleitungs-Twist versehenen langen Bitleitungen. Dies führt jedoch zu einem vergleichsweise langsamen Vorladevorgang.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, einen integrierten Speicher der eingangs genannten Art anzugeben, bei dem die für einen Vorladevorgang von Bitleitungen benötigte Zeitspanne reduziert ist.

Diese Aufgabe wird durch einen integrierten Speicher gemäß Patentanspruch 1 gelöst.

Ein erfindungsgemäßer Speicher der eingangs genannten Art weist eine Vorladeschaltung auf, die mit einem der Bitleitungspaare zum Vorladen der Bitleitungen dieses Bitleitungspaares auf eine Vorladespannung verbunden ist. Die Vorladeschaltung ist mit einem ersten Abstand zur Verkreuzungsstelle der Bitleitungen (Bitleitungs-Twist) und mit einem zweiten Abstand zu dem Leseverstärker angeordnet, wobei der erste Abstand kleiner als der zweite Abstand ist. Gemäß der Erfindung wird damit das bisherige Konstruktionsprinzip aufgegeben, die Vorladeschaltung in unmittelbarer Nähe zu dem zugeordneten Leseverstärker eines Bitleitungspaares am Rand eines Spei-

cherzellenfeldes anzuordnen. Demgegenüber wird erfindungsge-
mäß die Vorladeschaltung in die Mitte des Speicherzellenfel-
des gerückt, nämlich in die Nähe der Verkreuzungsstelle eines
Bitleitungs-Twists. Hierdurch wird die beim Vorladevorgang
5 wirksame RC-Konstante der Bitleitungen deutlich reduziert, so
daß die für einen Vorladevorgang der Bitleitungen benötigte
Zeitspanne deutlich reduziert wird. Da mit dem Vorsehen eines
Bitleitungs-Twist, der im allgemeinen in der Mitte des Spei-
cherzellenfeldes angeordnet ist, die regelmäßige Struktur des
10 Speicherzellenfeldes an dieser Stelle unterbrochen wird, ist
es in diesem Zusammenhang nicht von Nachteil, die Vorlade-
schaltung in die Mitte des Speicherzellenfeldes zu rücken,
wenn die Vorladeschaltung in unmittelbarer Nähe des Bitlei-
tungs-Twists angeordnet wird. Entsprechend ist der Abstand
15 der Vorladeschaltung zur Verkreuzungsstelle des Bitleitungs-
Twists deutlich kleiner als der Abstand zu dem Leseverstärker
am Rand des Speicherzellenfeldes.

Weitere vorteilhafte Aus- und Weiterbildungen der Erfindung
20 sind in Unteransprüchen angegeben.

Die Erfindung wird im folgenden anhand der in der Zeichnung
dargestellten Figuren näher erläutert. Es zeigen:

25 Figur 1 eine grob schematische Darstellung einer Ausfüh-
rungsform eines Speicherzellenfeldes eines inte-
grierten Speichers,

Figur 2 eine Ausführungsform einer Teilschaltung eines in-
30 tegrierten Speichers mit einer erfindungsgemäß an-
geordneten Vorladeschaltung,

Figur 3 eine Teilschaltung eines integrierten Speichers
nach dem Stand der Technik,

Figur 4 Signaldiagramme eines Vorladevorgangs zur Vorladung von Bitleitungen gemäß der Erfindung im Vergleich zum Stand der Technik.

5 In Figur 1 ist grob schematisch ein in Blöcken unterteiltes Speicherzellenfeld eines integrierten Speichers 10 gezeigt. Hierbei werden die Speicherzellenblöcke durch die einzelnen Speicherzellenfelder 11, 12, 13 und 14 gebildet. Wie anhand des Speicherzellenfeldes 13 näher dargestellt, weisen die
10 einzelnen Speicherzellenfelder Wortleitungen WL zur Auswahl von Speicherzellen und Bitleitungen, beispielhaft dargestellt anhand Bitleitungen BL1 und BL4, zum Auslesen oder Schreiben von Datensignalen der Speicherzellen auf. Die hier nicht dargestellten Speicherzellen sind in bekannter Weise in Kreuzungspunkten der Wortleitungen und Bitleitungen angeordnet
15 und jeweils mit einer der Wortleitungen und einer der Bitleitungen verbunden. Die Bitleitungen sind in Bitleitungspaaren organisiert, wobei die Bitleitungen eines Bitleitungspaares über weite Bereiche im wesentlichen parallel zueinander verlaufen, wie in Figur 1 angedeutet.
20

Das Speicherzellenfeld 13 wird von den Leseverstärkerstreifen 2 und 3 begrenzt, wobei die Bitleitungen in Längsrichtung der Leseverstärkerstreifen abwechselnd mit einem der Leseverstärker des Leseverstärkerstreifens 2 und mit einem der Leseverstärker des Leseverstärkerstreifens 3 verbunden sind. Auf
25 diese Art ist eine kompakte Anordnung eines Speicherzellenfeldes ermöglicht, da die jeweiligen Leseverstärker platzsparend einander gegenüber angeordnet werden.

30

In Figur 3 ist eine näher dargestellte Teilschaltung eines integrierten Speichers nach dem Stand der Technik gezeigt, der nach dem Prinzip des Speichers gemäß Figur 1 aufgebaut ist. In dem Leseverstärkerstreifen 2 sind die einzelnen Leseverstärker SA21, SA22 und SA23 angeordnet. Ein in Figur 3
35 nicht gezeigter Leseverstärker für das Bitleitungspaar BL12c, BL12t befindet sich in dem Leseverstärkerstreifen 3. In dem

Speicherzellenfeld 13 sind die Wortleitungen WL1 und WL2 angeordnet sowie die Bitleitungen BL11t, BL11c und BL12c, BL12t. Hierbei sind die Bitleitungen BL11t, BL11c sowie BL12c, BL12t in Bitleitungspaaren organisiert. Die Bitleitungen BL11t, BL11c überkreuzen sich an einer Verkreuzungsstelle, einem sogenannten Bitleitungs-Twist TW, und verlaufen ansonsten im wesentlichen parallel zueinander. Entsprechend den Bitleitungen BL11c, BL11t ändert sich der Verlauf der Bitleitungen BL12c, BL12t an dem Bitleitungs-Twist TW.

Die Speicherzellen MC1, MC2 sind jeweils in Kreuzungspunkten von Wortleitungen und Bitleitungen angeordnet. Die Speicherzellen MC1, MC2 weisen jeweils einen Auswahltransistor AT1, AT2 und einen Speicherkondensator C1, C2 auf. Die Steuereingänge der Auswahltransistoren AT1, AT2 sind mit der Wortleitung WL1 bzw. WL2 verbunden, durch die die Speicherzellen bei einem Speicherzugriff aktiviert werden. Hierzu werden die Auswahltransistoren AT1, AT2 durch die Wortleitungen WL1, WL2 leitend geschaltet. Ist der jeweilige Auswahltransistor offen, kann die Ladung, die in der jeweiligen Speicherzellenkapazität C1, C2 gespeichert ist, auf die entsprechende Bitleitung BL11t, BL12t und von dort in den entsprechenden Leseverstärker gelangen. Durch das Vorsehen des Bitleitungs-Twists TW wird die Bitleitungskopplung insbesondere bei vergleichsweise langen Bitleitungen reduziert. Der Bitleitungs-Twist ist hierbei vorteilhaft in etwa in der Mitte einer jeweiligen Bitleitung angeordnet.

Der Speicher gemäß Figur 3 weist weiterhin eine Vorladeschaltung PC2 auf, die mit den Bitleitungen BL11c, BL11t verbunden ist. Die Vorladeschaltung PC2 dient zum Vorladen dieser Bitleitungen auf eine Vorladespannung VBLEQ. Diese ist im vorliegenden Ausführungsbeispiel kleiner als eine Versorgungsspannung VDD des Speichers. Die Vorladeschaltung PC2 weist die Vorladetransistoren T21, T22 auf, deren gesteuerte Strecken einerseits mit einem Anschluß für die Spannung VBLEQ und andererseits mit einer der Bitleitungen BL11c, BL11t verbun-

den sind. Weiterhin ist ein Schalter EQ3 vorgesehen, mit dem die Bitleitungen BL11c, BL11t miteinander verbindbar sind (sogenanntes "Equalizing"). Die Vorladetransistoren T21, T22 und der Schalter EQ3 werden über die Steuerleitung S angesteuert. Die Vorladetransistoren T21, T22 sind über den Widerstand R2 mit der Spannung VBLEQ verbunden. Die Speicherschaltung nach Figur 3 hat den Nachteil, daß ein Vorladevorgang zur Vorladung der Bitleitungen BL11c, BL11t mit einer vergleichsweise großen RC-Konstante behaftet ist, bedingt durch vergleichsweise hohe Serienwiderstände und Bitleitungskapazitäten der Bitleitungen BL11c, BL11t, die vergleichsweise lang ausgeführt sind und mit einem Bitleitungs-Twist versehen sind.

In Figur 2 ist eine Teilschaltung eines erfindungsgemäßen integrierten Speichers gezeigt, der grundsätzlich nach den Konstruktionsprinzipien der Speicher gemäß Figuren 1 und 3 aufgebaut ist. In Figur 2 ist der Übersichtlichkeit halber auf die Darstellung der Wortleitung WL2 und der zugehörigen Speicherzelle MC2 verzichtet worden. Zur besseren Übersichtlichkeit sind in Figur 2 nur die Speicherzelle MC1, die Wortleitung WL1 und die Bitleitungen BL1c, BL1t, BL2c, BL2t dargestellt. In Wirklichkeit sind jeweils eine Vielzahl von Speicherzellen, Wortleitungen und Bitleitungen vorgesehen.

Im Unterschied zum Speicher gemäß Figur 3 ist beim Speicher gemäß Figur 2 die Vorladeschaltung PC1 in unmittelbarer Nähe des Bitleitungs-Twists TW angeordnet. Insbesondere ist die Vorladeschaltung PC1 mit einem ersten Abstand a1 zum Bitleitungs-Twist TW und mit einem zweiten Abstand a2 zum Leseverstärker SA22 angeordnet, wobei der Abstand a1 deutlich kleiner ist als der Abstand a2. Die Vorladeschaltung PC1 weist die Vorladetransistoren T11, T12 auf, deren gesteuerte Strecken einerseits über den Widerstand R1 mit einem Anschluß für die Versorgungsspannung VBLEQ und andererseits mit einer der Bitleitungen BL1c, BL1t verbunden sind. Weiterhin ist ein Equalize-Schalter EQ1 vorgesehen, der die Bitleitungen BL1c,

BL1t miteinander verbindet. Die Vorladetransistoren T11, T12 und der Schalter EQ1 werden über die Steuerleitung S angesteuert. Für die Bitleitungen BL2c, BL2t ist eine Vorladeschaltung PC11 vorgesehen, angedeutet durch den Equalize-
5 Transistor EQ2.

Die Vorladeschaltung PC1 ist innerhalb eines Bereichs B angeordnet, der in Relation zum Speicherzellenfeld 13 signifikant kleiner ist und der mittig in Relation zur Längserstreckung
10 der Bitleitungen BL1c, BL1t angeordnet ist. Innerhalb des Bereichs B ist der Bitleitungs-Twist TW angeordnet. Hierbei ist die mittige Anordnung des Bitleitungs-Twists TW in Figur 2 aus Übersichtlichkeitsgründen verzerrt dargestellt. Da mit dem Bitleitungs-Twist TW die regelmäßige Struktur des Speicherzellenfeldes 13 unterbrochen wird, ist die Vorladeschaltung PC1 vorteilhaft in unmittelbarer Nähe des Bitleitungs-
15 Twists TW anzuordnen. Dementsprechend ist der Abstand a1 deutlich kleiner als der Abstand a2.

20 In einer vorteilhaften Ausgestaltung des Speichers gemäß Figur 2 können auch zwei Vorladetransistoren von jeweils halber Breite rechts und links des Bitleitungs-Twists TW eingesetzt werden. Das heißt, für die Bitleitungen BL1c, BL1t werden zwei Vorladeschaltungen gemäß Vorladeschaltung PC1 vorgesehen, wobei eine der Vorladeschaltungen auf einer dem Leseverstärker SA22 zugewandten Seite und die andere der Vorladeschaltungen auf einer dem Leseverstärker SA22 abgewandten
25 Seite des Bitleitungs-Twists TW angeordnet sind. Letztere der Vorladeschaltungen ist aus Übersichtlichkeitsgründen in Figur
30 2 nicht dargestellt.

In Figur 4 sind Signaldiagramme eines Vorladevorgangs von Bitleitungen eines Speichers gemäß Figur 2 im Vergleich zu einem Vorladevorgang von Bitleitungen eines Speichers gemäß
35 Figur 3 gezeigt. Wie in Figur 4a dargestellt, sind die Equalize-Transistoren EQ1, EQ3 zunächst im leitenden Zustand. Die Bitleitungen BL1t, BL1c bzw. BL11t, BL11c befinden sich auf

dem gemeinsamen Vorladepotential VBLEQ. Zu Beginn eines Speicherzugriffs wird die Wortleitung WL1 aktiviert, so daß Speicherzelle MC1 ausgewählt wird, d. h. Auswahltransistor AT1 wird leitend geschaltet. Ist der Auswahltransistor AT1 leitend, kann die Ladung, die in der Speicherzellenkapazität C1 gespeichert ist, auf die Bitleitung BL1t bzw. BL11t und von dort in den Leseverstärker SA22 gelangen, der die jeweiligen Bitleitungen spreizt. Gleichzeitig wird das gespeicherte Signal wieder in die Speicherzelle MC1 zurückgeschrieben (sogeannter Refresh). Nach der Deaktivierung der Wortleitung WL1 wird die Steuerleitung S in aktiven Zustand versetzt, so daß die Bitleitungen BL1t, BL1c bzw. BL11t, BL11c kurzgeschlossen und auf die Spannung VBLEQ vorgeladen werden.

Für den zuletzt beschriebenen Vorgang ist in Figur 4b eine vergrößerte Detailansicht gezeigt. Bedingt durch die geringere RC-Konstante werden die Bitleitungen BL1t, BL1c des erfindungsgemäßen Speichers gemäß Figur 2 schneller auf das Potential VBLEQ vorgeladen als die Bitleitungen BL11t, BL11c des Speichers gemäß Figur 3.

Patentansprüche

1. Integrierter Speicher

- mit einem Speicherzellenfeld (13), das Wortleitungen (WL1, WL2) zur Auswahl von Speicherzellen (MC1, MC2) und Bitleitungen (BL1c, BL1t, BL2c, BL2t) zum Auslesen oder Schreiben von Datensignalen der Speicherzellen aufweist,
- bei dem die Bitleitungen in Bitleitungspaaren organisiert sind, wobei die Bitleitungen (BL1t, BL1c) eines der Bitleitungspaare sich an einer Verkreuzungsstelle (TW) überkreuzen und sonst im wesentlichen parallel zueinander verlaufen,
- mit einem Leseverstärker (SA22), der mit einem der Bitleitungspaare (BL1c, BL1t) an einem Ende dieses Bitleitungspaars verbunden ist,
- mit wenigstens einer Vorladeschaltung (PC1), die mit dem einen der Bitleitungspaare verbunden ist zum Vorladen der Bitleitungen (BL1c, BL1t) dieses Bitleitungspaars auf eine Vorladespannung (VBLEQ),
- bei dem die Vorladeschaltung (PC1) mit einem ersten Abstand (a1) zur Verkreuzungsstelle (TW) und mit einem zweiten Abstand (a2) zu dem Leseverstärker (SA22) angeordnet ist, wobei der erste Abstand (a1) kleiner als der zweite Abstand (a2) ist.

2. Integrierter Speicher nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß die wenigstens eine Vorladeschaltung (PC1) innerhalb eines Bereichs (B) angeordnet ist, der in Relation zum Speicherzellenfeld (13) signifikant kleiner ist und der mittig in Relation zur Längserstreckung des betreffenden Bitleitungspaars (BL1c, BL1t) angeordnet ist.

3. Integrierter Speicher nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t, daß die wenigstens eine Vorladeschaltung (PC1) einen Vorladetransistor (T11, T12) aufweist, dessen gesteuerte Strecke einer-

seits mit einem Anschluß für eine Versorgungsspannung (VBLEQ) des Speichers und andererseits mit einer der Bitleitungen (BL1c, BL1t) des betreffenden Bitleitungspaares verbunden ist.

- 5 4. Integrierter Speicher nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, daß
die wenigstens eine Vorladeschaltung (PC1) einen Schalter (EQ1) aufweist, wobei die zu dem betreffenden Bitleitungspaar
10 gehörigen Bitleitungen (BL1t, BL1c) über den Schalter miteinander verbindbar sind.

5. Integrierter Speicher nach einem der vorhergehenden Ansprüche,
15 d a d u r c h g e k e n n z e i c h n e t, daß
zwei Vorladeschaltungen (PC1) je Bitleitungspaar vorgesehen sind, wobei eine der Vorladeschaltungen auf einer dem Leseverstärker (SA22) zugewandten Seite und die andere der Vorladeschaltungen auf einer dem Leseverstärker abgewandten Seite
20 der Verkreuzungsstelle (TW) angeordnet sind.

Zusammenfassung

Integrierter Speicher

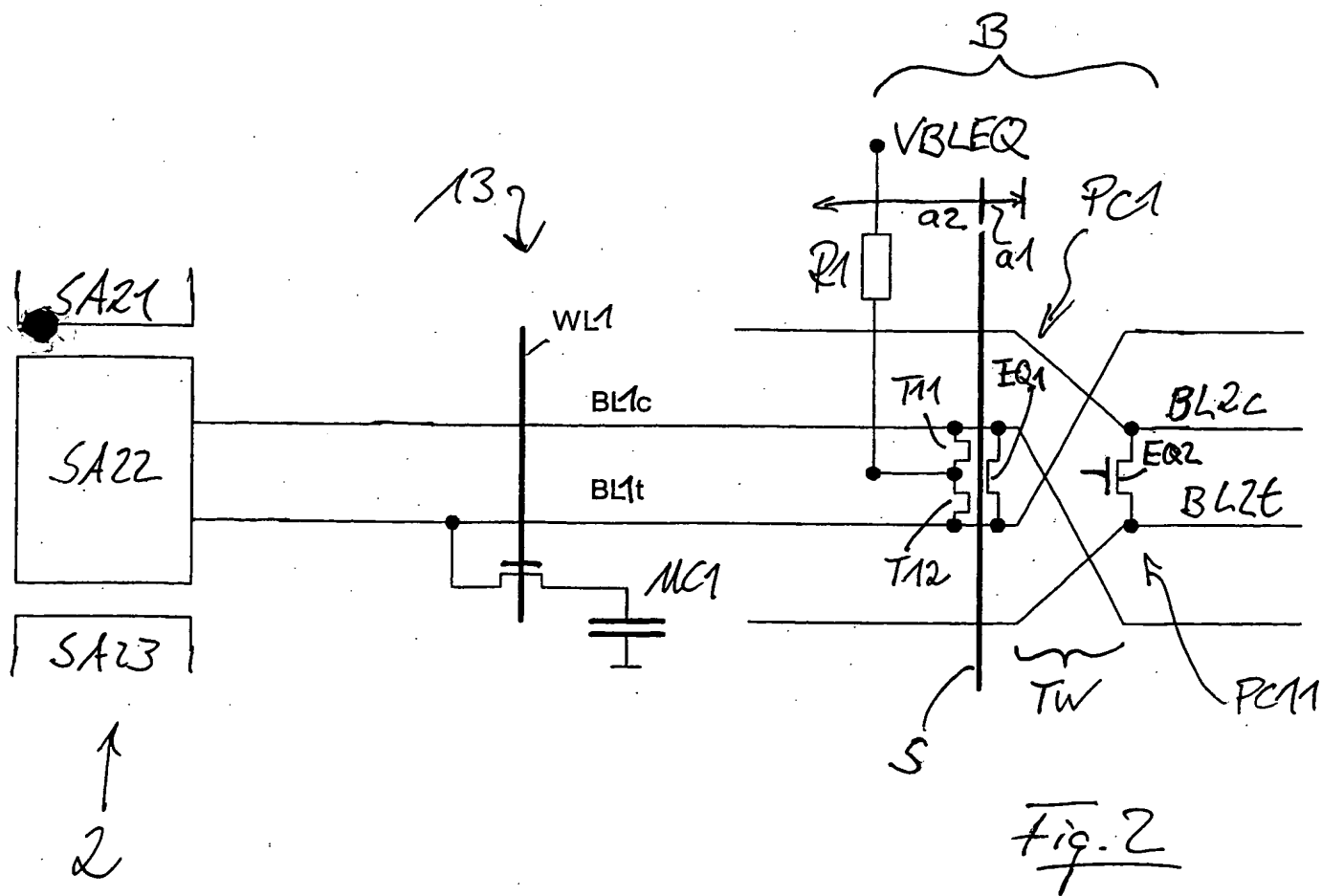
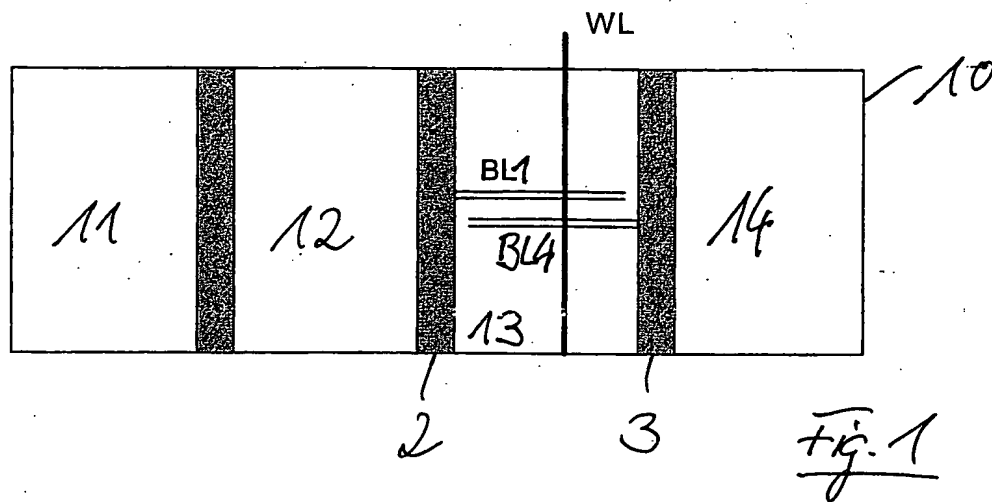
5 Ein integrierter Speicher weist ein Speicherzellenfeld (13)
mit Wortleitungen (WL1, WL2) und Bitleitungen (BL1c, BL1t,
BL2c, BL2t) auf. Die Bitleitungen sind in Bitleitungspaaren
organisiert, wobei die Bitleitungen (BL1t, BL1c) eines der
10 Bitleitungspaare sich an einer Verkreuzungsstelle (TW) über-
kreuzen und sonst im wesentlichen parallel zueinander verlau-
fen. Ein Leseverstärker (SA22) ist mit einem der Bitleitungs-
paare (BL1c, BL1t) an einem Ende dieses Bitleitungspaars ver-
bunden. Eine Vorladeschaltung (PC1) zum Vorladen der Bitlei-
tungen (BL1c, BL1t) eines Bitleitungspaars ist mit einem er-
15 sten Abstand (a1) zur Verkreuzungsstelle (TW) und mit einem
zweiten Abstand (a2) zu dem Leseverstärker (SA22) angeordnet,
wobei der erste Abstand (a1) kleiner als der zweite Abstand
(a2) ist. Hierdurch wird die beim Vorladevorgang wirksame RC-
Konstante der Bitleitungen deutlich reduziert, so daß die für
20 einen Vorladevorgang benötigte Zeitspanne deutlich vermindert
wird.

Figur 2

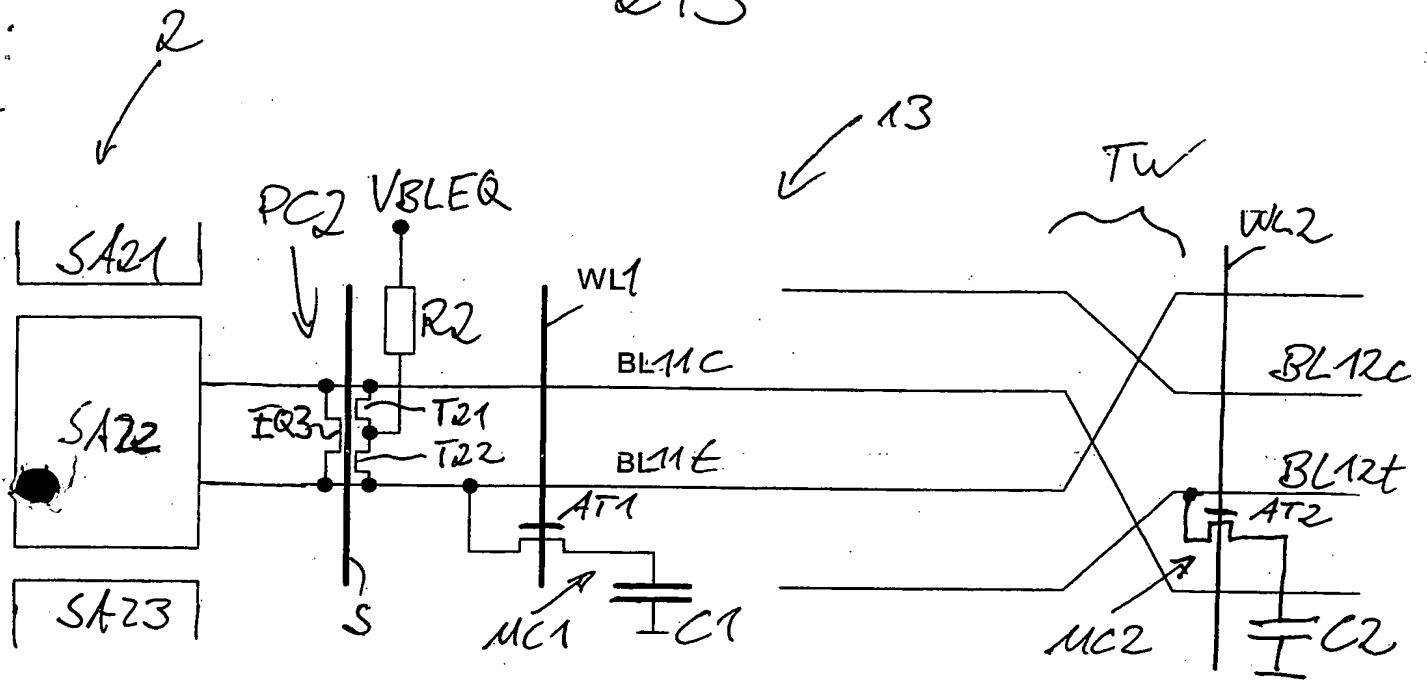
Bezugszeichenliste

	2, 3	Leseverstärkerstreifen
5	10	Speicher
	11 - 14	Speicherzellenfeld
	WL, WL1, WL2	Wortleitungen
	BL1, BL4	Bitleitung
	BL1c, BL1t	Bitleitung
10	BL2c, BL2t	Bitleitung
	BL11c, BL11t	Bitleitung
	BL12c, BL12t	Bitleitung
	S	Steuerleitung
	T11, T12	Vorladetransistor
15	T21, T22	Vorladetransistor
	EQ1 - EQ3	Equalize-Transistor
	AT1, AT2	Auswahltransistor
	C1, C2	Speicherzellenkapazität
	MC1, MC2	Speicherzelle
20	TW	Bitleitungs-Twist
	SA21 - SA23	Leseverstärker
	a1, a2	Abstand
	B	Bereich
	PC1, PC11, PC2	Vorladeschaltung
25	R1, R2	Widerstand
	VBLEQ	Vorladespannung

113



213



Stand der Technik

Fig. 3

3/3

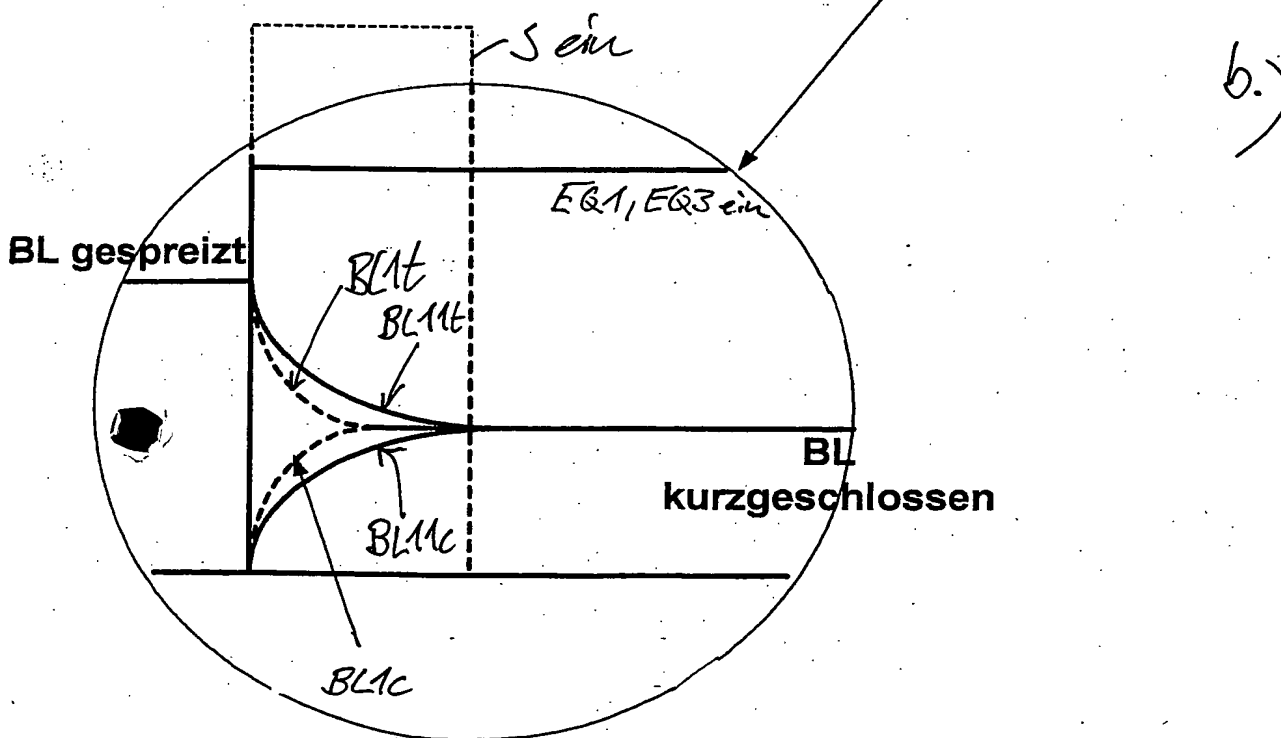
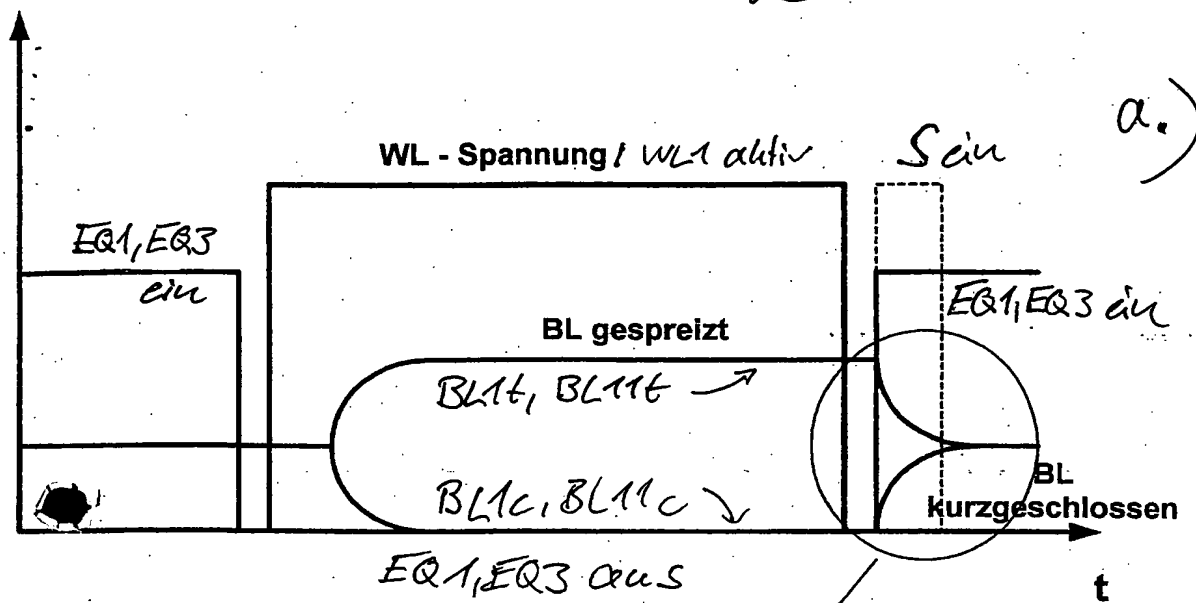


Fig. 4